

Микроконтроллеры семейства LPC2000 (ARM7TDMI-S) от Philips – ещё один шаг к идеальной платформе для встраиваемых приложений

(часть 4)

Павел Редькин (г. Ульяновск)

Автор продолжает знакомить с 16/32-разрядными встраиваемыми микроконтроллерами семейства LPC2000 фирмы Philips Semiconductors. В этой части статьи рассматриваются построение и логика работы встроенных средств ввода-вывода и коммуникационных интерфейсов микроконтроллеров: GPIO, UART0/1, I²C, SPI.

Блок коммутации выводов

Блок коммутации выводов позволяет выбирать выводы МК для выполнения более чем одной функции. Выбор для вывода порта одной функции полностью исключает все другие функции, которые могут быть доступны на том же самом выводе. Модуль управления выводами устройств LPC2000 управляется регистрами, перечисленными ниже.

Регистры выбора функций выводов 0 (PINSEL0 – 0xE002C000) и 1 (PINSEL1 – 0xE002C004). Битовая структура регистра PINSEL0 и PINSEL1 для LPC2119/2129/2292 приведена в

табл. 26 и 27 соответственно. Регистры PINSEL0 и PINSEL1 управляют функциями выводов согласно параметрам настройки, перечисленным в табл. 28. Служебный бит направления в регистре IO0DIR эффективен только в том случае, когда для вывода выбрана функция линии ввода-вывода общего назначения (GPIO). Для других функций направление вывода устанавливается автоматически.

Регистр выбора функций выводов 2 (PINSEL2 – 0xE002C014). Битовая структура регистра PINSEL2 для LPC2119/2129/2194 приведена в табл. 29. Битовая структура регистра

PINSEL2 для LPC2292/2294 приведена в табл. 30. Служебный бит направления в регистре IO1DIR эффективен только в том случае, когда для вывода выбрана функция линии ввода-вывода общего назначения (GPIO). Для других функций направление вывода устанавливается автоматически.

Линии ввода-вывода общего назначения (GPIO)

Для линий ввода-вывода общего назначения (GPIO) устройств семейства LPC2000 характерны следующие особенности:

- управление направлением каждой линии индивидуально;
- раздельное управление установкой и сбросом выходного уровня линии;
- все линии по умолчанию после сброса являются линиями GPIO, сконфигурированными как входы.

Описание выводов GPIO устройств LPC2119/2129/2292/2194/2294 приведено в табл. 31.

МК LPC2000 в 64-выводном корпусе имеют два 32-разрядных порта ввода-вывода общего назначения (PORT0 и PORT1). В качестве линий GPIO PORT0 доступны 30 из 32 выводов PORT0. PORT1 имеет до 16 выводов, доступных как линии GPIO. PORT0 и PORT1 управляются с помощью двух групп по четыре регистра в каждой, как показано в табл. 32. МК в 144-выводном корпусе имеют, кроме того, два 32-разрядных дополнительных порта (PORT2 и PORT3), которые могут быть сконфигурированы как шина данных и шина адреса внешней памяти или как линии GPIO, а также для использования дополнительных цифровых и аналоговых функций. Блок

Таблица 26. Биты регистра выбора функций выводов 0 для LPC2119/2129/2292 (PINSEL0 – 0xE002C000)

PINSEL0	Имя вывода	Функция при 00	Функция при 01	Функция при 10	Функция при 11	Значение после сброса
1:0	P0.0	GPIO порт 0.0	TxD (UART0)	PWM1	Зарезервирован	0
3:2	P0.1	GPIO порт 0.1	RxD (UART0)	PWM3	EINT0	0
5:4	P0.2	GPIO порт 0.2	SCL (I2C)	Захват 0.0 (TIMER0)	Зарезервирован	0
7:6	P0.3	GPIO порт 0.3	SDA (I2C)	Совпадение 0.0 (TIMER0)	EINT1	0
9:8	P0.4	GPIO порт 0.4	SCK (SPI0)	Захват 0.1 (TIMER0)	Зарезервирован	0
11:10	P0.5	GPIO порт 0.5	MISO (SPI0)	Совпадение 0.1 (TIMER0)	Зарезервирован	0
13:12	P0.6	GPIO порт 0.6	MOSI (SPI0)	Захват 0.2 (TIMER0)	Зарезервирован	0
15:14	P0.7	GPIO порт 0.7	SSEL (SPI0)	PWM2	EINT2	0
17:16	P0.8	GPIO порт 0.8	TxD (UART1)	PWM4	Зарезервирован	0
19:18	P0.9	GPIO порт 0.9	RxD (UART1)	PWM6	EINT3	0
21:20	P0.10	GPIO порт 0.10	RTS (UART1)	Захват 1.0 (TIMER1)	Зарезервирован	0
23:22	P0.11	GPIO порт 0.11	CTS (UART1)	Захват 1.1 (TIMER1)	Зарезервирован	0
25:24	P0.12	GPIO порт 0.12	DSR (UART1)	Совпадение 1.0 (TIMER1)	Зарезервирован	0
27:26	P0.13	GPIO порт 0.13	DTR (UART1)	Совпадение 1.1 (TIMER1)	Зарезервирован	0
29:28	P0.14	GPIO порт 0.14	CD (UART1)	EINT1	Зарезервирован	0
31:30	P0.15	GPIO порт 0.15	RI (UART1)	EINT2	Зарезервирован	0

GPIO управляется регистрами, перечисленными ниже.

Регистр значений выводов порта GPIO (IO0PIN – 0xE0028000, IO1PIN – 0xE0028010, IO2PIN – 0xE0028020, IO3PIN – 0xE0028030). Битовая структура регистров IOPIN приведена в табл. 33. Этот регистр отображает текущие состояния линий GPIO. Значение регистра отражает любое влияние внешних сигналов, но только на те выводы, которые сконфигурированы как линии GPIO.

Регистр установки выходов порта GPIO (IO0SET – 0xE0028004, IO1SET – 0xE0028014, IO2SET – 0xE0028024, IO3SET – 0xE0028034). Битовая структура регистров IO0SET приведена в табл. 33. Этот регистр используется, чтобы установить выводы порта, если они сконфигурированы как линии GPIO и для них установлен режим выходов. Запись «1» производит установку соответствующего выхода порта. Запись «0» не будет иметь никакого эффекта. Чтение регистра IOSET возвращает значение этого регистра, которое определено предыдущей записью в IOSET и IOCLR. Это значение не отражает эффект влияния внешних сигналов на линию ввода-вывода.

Регистр сброса выходов порта GPIO (IO0CLR – 0xE002800C, IO1CLR – 0xE002801C, IO2CLR – 0xE002802C, IO3CLR – 0xE002803C). Битовая структура регистров IOCLR приведена в табл. 33. Этот регистр используется, чтобы сбросить выводы порта, если они сконфигурированы как линии GPIO и для них установлен режим выходов. Запись «1» производит сброс соответствующего выхода порта и сбрасывает соответствующий бит в регистре IOSET. Запись «0» не будет иметь никакого эффекта.

Регистр направления порта GPIO (IODIR – 0xE0028008, IO1DIR – 0xE0028018, IO2DIR – 0xE0028028, IO3DIR – 0xE0028038). Битовая структура регистров IODIR приведена в табл. 33. Этот регистр используется, чтобы управлять направлением выводов, когда они сконфигурированы как линии GPIO.

УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПРИЁМОПЕРЕДАТЧИК UART0

Универсальный асинхронный приёмопередатчик МК семейства LPC2000 UART0 имеет следующие особенности:

- 16-байтовые приёмный и передающий буферы FIFO;
- размещение регистров соответствует промышленному стандарту '550;
- приёмный буфер FIFO «защёлкивается» 1, 4, 8 и 14 байт;
- встроенный генератор задания скорости обмена.

UART0 обслуживается выводами МК RxD0 (последовательный вход) и TxD0 (последовательный выход) и управляется регистрами, перечисленными ниже.

Регистр буфера приёма UART0 (U0RBR – 0xE000C000, когда DLAB = 0, доступен только для чтения). Восемизрядный регистр U0RBR является старшим байтом приёмного

буфера FIFO UART0, содержит самый «старый» (первый поступивший в приёмный буфер FIFO) принятый символ и может читаться через шинный интерфейс. Младший значащий разряд (МЗР, бит 0) U0RBR представляет собой самый «старый» принятый информационный разряд. Если принятый символ кодируется менее чем восемью битами, неиспользованные старшие значащие разряды (СЗР) U0RBR заполняются нулями. Чтобы обратиться к регистру U0RBR, бит доступа к значению делителя (DLAB) в регистре U0LCR должен быть сброшен. После сброса значение U0RBR неопределённое. Регистр U0RBR доступен только для чтения.

Таблица 27. Биты регистра выбора функций выводов 1 для LPC2119/2129/2292 (PINSEL1 – 0xE002C004)

PINSEL1	Имя вывода	Функция при 00	Функция при 01	Функция при 10	Функция при 11	Значение после сброса
1:0	P0.16	GPIO порт 0.16	EINT0	Совпадение 0.2 (TIMER0)	Захват 0.2 (TIMER0)	0
3:2	P0.17	GPIO порт 0.17	Захват 1.2 (TIMER1)	SCK (SPI1)	Совпадение 1.2 (TIMER1)	0
5:4	P0.18	GPIO порт 0.18	Захват 1.3 (TIMER1)	MISO (SPI1)	Совпадение 1.3 (TIMER1)	0
7:6	P0.19	GPIO порт 0.19	Совпадение 1.2 (TIMER1)	MOSI (SPI1)	Захват 1.2 (TIMER1)	0
9:8	P0.20	GPIO порт 0.20	Совпадение 1.3 (TIMER1)	SSEL (SPI1)	EINT3	0
11:10	P0.21	GPIO порт 0.21	PWM5	Зарезервирован	Захват 1.3 (TIMER1)	0
13:12	P0.22	GPIO порт 0.22	Зарезервирован	Захват 0.0 (TIMER0)	Совпадение 0.0 (TIMER0)	0
15:14	P0.23	GPIO порт 0.23	RD2 (Контроллер CAN 2)	Зарезервирован	Зарезервирован	0
17:16	P0.24	GPIO порт 0.24	TD2 (Контроллер CAN 2)	Зарезервирован	Зарезервирован	0
19:18	P0.25	GPIO порт 0.25	RD1 (Контроллер CAN 1)	Зарезервирован	Зарезервирован	0
21:20	P0.26	Зарезервирован				0
23:22	P0.27	GPIO порт 0.27	AIN0 (АЦП)	Захват 0.1 (TIMER0)	Совпадение 0.1 (TIMER0)	0
25:24	P0.28	GPIO порт 0.28	AIN1 (АЦП)	Захват 0.2 (TIMER0)	Совпадение 0.2 (TIMER0)	0
27:26	P0.29	GPIO порт 0.29	AIN2 (АЦП)	Захват 0.3 (TIMER0)	Совпадение 0.3 (TIMER0)	0
29:28	P0.30	GPIO порт 0.30	AIN3 (АЦП)	EINT3	Захват 0.0 (TIMER0)	0
31:30	P0.31	Зарезервирован				0

Таблица 28. Биты регистров выбора функций выводов портов PORT0 и PORT1 для МК в 64-выводном корпусе и портов PORT0 – PORT3 для МК в 144-выводном корпусе

PinSel0	PinSel1	Функция бита	Значение после сброса
0	0	Первичная (заданная по умолчанию) функция, как правило, порт GPIO	0
0	1	Первая альтернативная функция	
1	0	Вторая альтернативная функция	
1	1	Третья альтернативная функция или зарезервировано	

Таблица 29. Биты регистра выбора функций выводов 2 для LPC2119/2129/2194 (PINSEL2 – 0xE002C014)

Номер бита	Функция бита	Значение после сброса
1:0	Зарезервированы	0
2	Когда 0, выводы P1.36:26 используются как выводы GPIO. Когда 1, выводы P1.31:26 используются как порт отладки	/(P1.26/RTCK)
3	Когда 0, выводы P1.25:16 используются как выводы GPIO. Когда 1, выводы P1.25:16 используются как порт трассировки	/(P1.20/TRACESYNC)
4:5	Зарезервированы*	11
6:31	Зарезервированы	NA

*Эти биты никогда не должны изменяться. Их изменение может привести к неправильному выполнению кода

Таблица 30. Биты регистра выбора функций выводов 2 для LPC2292/2294 (PINSEL2 – 0xE002C014)

Номер бита	Функция бита	Значение после сброса
1:0	Зарезервированы	0
2	Когда 0, выводы P1.36:26 используются как выводы GPIO. Когда 1, выводы P1.31:26 используются как порт отладки	P1.26/RTCK
3	Когда 0, выводы P1.25:16 используются как выводы GPIO. Когда 1, выводы P1.25:16 используются как порт трассировки	P1.20/TRACESYNC
5:4	Управляет использованием выводов stroba и шины данных. В зависимости от значения битов PINSEL2[5:4] могут быть заданы две различные функции: Для выводов P2.7:0 при 11 = P2.7:0, при 0x или 10 = D7:0 Для выводов P1.0 при 11 = P1.0, при 0x или 10 = CS0 Для выводов P1.1 при 11 = P1.1, при 0x или 10 = OE Для выводов P3.31 при 11 = P3.31, при 0x или 10 = BLS0 Для выводов P2.15:8 при 00 или 11 = P2.15:8, при 01 или 10 = D15:8 Для выводов P3.30 при 00 или 11 = P3.30, при 01 или 10 = BLS1 Для выводов P2.27:16 при 0x или 11 = P2.27:16, при 10 = D27:16 Для выводов P2.29:28 при 0x или 11 = P2.29:28, при 10 = D29:28 Для выводов P2.31:30 при 0x или 11 = P2.31:30 или AIN5:4, при 10 = D31:30 Для выводов P3.29:28 при 0x или 11 = P3.29:28 или AIN6:7, при 10 = BLS2:3	BOOT1:0
6	Если биты 5:4 не равны 10, то этот бит управляет использованием вывода P3.29 следующим образом: 0 – разрешает P3.29, 1 – разрешает AIN6	1
7	Если биты 5:4 не равны 10, то этот бит управляет использованием вывода P3.28 следующим образом: 0 – разрешает P3.28, 1 – разрешает AIN7	1
8	Управляет использованием вывода P3.27 следующим образом: 0 – разрешает P3.27, 1 – разрешает WE	0
10:9	Зарезервированы	–
11	Управляет использованием вывода P3.26 следующим образом: 0 – разрешает P3.26, 1 – разрешает CS1	0
12	Зарезервирован	–
13	Если биты 25:23 не равны 111, то этот бит управляет использованием вывода P3.23/A23/XCLK следующим образом: 0 – разрешает P3.23, 1 – разрешает XCLK	0
15:14	Управляют использованием вывода P3.25 следующим образом: 00 – разрешают P3.25, 01 – разрешают CS2, 10 и 11 – зарезервированные значения	0
17:16	Управляют использованием вывода P3.24 следующим образом: 00 – разрешают P3.24, 01 – разрешают CS3, 10 и 11 – зарезервированные значения	0
19:18	Зарезервированы	–
20	Если биты 5:4 не равны 10, то этот бит управляет использованием выводов P2.29:28 следующим образом: 0 – разрешает P2.29:28, 1 – зарезервированное значение	0
21	Если биты 5:4 не равны 10, то этот бит управляет использованием вывода P2.30 следующим образом: 0 – разрешает P2.30, 1 – разрешает AIN4	1
22	Если биты 5:4 не равны 10, то этот бит управляет использованием вывода P2.31 следующим образом: 0 – разрешает P2.31, 1 – разрешает AIN5	1
23	Определяет, является ли P3.0/A0 выводом порта (0) или линией адреса (1)	1, если BOOT1:0 = 00 при RESET = 0, 0 в ином случае
24	Определяет, является ли P3.1/A1 выводом порта (0) или линией адреса (1)	BOOT1 при сбросе
27:25	Управляет количеством выводов из числа P3.23/A23/XCLK и P3.22:2/A2.22:2, которые будут являться линиями адреса: 000 = ни один; 100 = A11:2 – линии адреса 001 = A3:2 – линии адреса; 101 = A15:2 – линии адреса; 010 = A5:2 – линии адреса; 110 = A19:2 – линии адреса; 011 = A7:2 – линии адреса; 111 = A23:2 – линии адреса	000, если BOOT1:0 = 11 при сбросе, 111 в ином случае
31:28	Зарезервированы	

Таблица 31. Описание выводов GPIO для устройств LPC2119/2129/2292/2194/2294

Имя вывода	Тип	Описание
P0.0 – P0.31	I/O	Вход-выход общего назначения. Количество фактически доступных линий GPIO зависит от использования в приложении дополнительных функций
P1.16 – P1.31		
P2.0 – P2.31	I/O	Линии внешних шин данных/адреса, доступные в качестве линий GPIO, а также используемые для цифровых и аналоговых функций. Количество фактически доступных линий GPIO/линий цифровых и аналоговых функций зависит от выбранной структуры шины. PORT2 и PORT3 доступны только в устройствах в 144-выводном корпусе
P3.0 – P3.31		

Таблица 32. Карта регистров GPIO

Типовое имя	Описание	Доступ	Значение после сброса	PORT0 адрес & имя	PORT1 адрес & имя	PORT2 адрес & имя	PORT3 адрес & имя
IOPIN	Регистр значений выводов порта GPIO. Текущие состояния сконфигурированных как линии GPIO выводов могут всегда читаться в этом регистре независимо от заданного направления и режима вывода. Этот регистр не отражает состояния вывода, если он сконфигурирован не как линии GPIO	RO	NA	0xE0028000 IOPIN	0xE0028010 IO1PIN	0xE0028020 IO2PIN	0xE0028030 IO3PIN
IOSET	Регистр установки выходов порта GPIO. Этот регистр управляет выходным состоянием выводов вместе с регистром IOCLR. Запись в этот регистр единиц производит установку соответствующих выводов порта. Запись нулей не имеет никакого эффекта	R/W	0x00000000	0xE0028004 IOSET	0xE0028014 IO1SET	0xE0028024 IO2SET	0xE0028034 IO3SET
IODIR	Регистр управления направлением порта GPIO. Этот регистр индивидуально определяет направление каждого вывода порта	R/W	0x00000000	0xE0028008 IODIR	0xE0028018 IO1DIR	0xE0028028 IO2DIR	0xE0028038 IO3DIR
IOCLR	Регистр сброса выходов порта GPIO. Этот регистр управляет выходным состоянием выводов. Запись в этот регистр единиц производит сброс соответствующих выводов порта и сбрасывает соответствующие биты регистре IOSET. Запись нулей не имеет никакого эффекта	WO	0x00000000	0xE002800C IOCLR	0xE002801C IO1CLR	0xE002802C IO2CLR	0xE002803C IO3CLR

Регистр буфера передачи UART0 (U0THR – 0xE000C000, когда DLAB = 0, доступен только для записи). Восьмиразрядный регистр U0THR является старшим байтом передаю-

щего буфера FIFO UART0. Старший байт передающего буфера FIFO содержит самый «новый» (последний поступивший в передающий буфер FIFO) символ и может быть записан

через шинный интерфейс. МЗР регистра передаётся через UART0 первым. Запись в регистр буфера передачи UART0 вызывает сохранение записанного байта в передающем

Таблица 33. Биты регистров значений выводов, установки выходов, сброса выходов и направления порта GPIO

Номер бита	Функция бита	Значение после сброса
31:0	Биты значения выводов GPIO. Бит 0 в регистре IOOPIN соответствует P0.0, бит 31 в регистре IOOPIN соответствует P0.31	Неопределённое
	Биты установки выходов. Бит 0 регистра IOOSET соответствует P0.0, бит 31 регистра IOOSET соответствует P0.31	0
	Биты сброса выходов. Бит 0 регистра IOOCLR соответствует P0.0, ... бит 31 регистра IOOCLR соответствует P0.31	0
	Служебные биты направления (0 = вход, 1 = выход). Бит 0 регистра IOODIR управляет P0.0, бит 31 регистра IOODIR управляет P0.31	0

Таблица 34. Регистр разрешения прерываний UART0 (UOIER – 0xE000C004, когда DLAB = 0)

UOIER	Функция	Описание	Значение после сброса
0	Разрешение прерывания RBR	0: Запретить прерывание RDA	0
		1: Разрешить прерывание RDA	
		Бит UOIER[0] разрешает прерывание при доступности принятых данных RDA (Receive Data Available) для UART0. Он также управляет прерыванием от тайм-аута при приёме символа CRT (Character Receive Time-out)	
1	Разрешение прерывания THRE	0: Запретить прерывание THRE	0
		1: Разрешить прерыванию THRE	
		Бит UOIER[1] разрешает прерывание THRE для UART0. Состояние этого прерывания может читаться путём чтения бита UOLSR[5]	
2	Разрешение прерывания по состоянию линии Rx	0: Запретить прерывания по состоянию линии Rx	0
		1: Разрешить прерывания по состоянию линии Rx	
		Бит UOIER[2] разрешает прерывания по состоянию линии Rx UART0. Состояние этого прерывания может читаться путём чтения битов UOLSR [4:1]	
7:3	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA

Таблица 35. Регистр идентификации прерываний UART0 (UOIRR – 0xE000C008, доступен только для чтения)

UOIRR	Функция	Описание	Значение после сброса
0	Отложенное прерывание	0: Не менее чем одно прерывание является отложенным	1
		1: Нет отложенных прерываний	
		Бит UOIRR[0] имеет низкий активный уровень. Отложенное прерывание может быть идентифицировано путём анализа битов UOIRR[3:1]	
3:1	Идентификация прерывания	011: 1. Состояние линии приёма (RLS)	0
		010: 2a. Доступны принятые данные (RDA)	
		110: 2b. Тайм-аут индикации принятого символа (CTI)	
		001: 3. Прерывание THRE	
		Все другие комбинации битов UOIRR[3:1], кроме вышеуказанных, являются зарезервированными (000, 100, 101, 111)	
5:4	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
7:6	Разрешение FIFO	Эти биты эквивалентны биту UOFCR[0]	0

Таблица 36. Обработка прерываний UART0*

UOIRR[3:0]	Приоритет	Тип прерывания	Источник прерывания	Сброс прерывания
1	–	Нет	Нет	–
110	Наиболее высокий	Состояние линии Rx/ошибка	OE или PE, или FE, или VI	Чтение UOLSR
100	Вторичный	Принятые данные доступны	Принятые данные доступны или достигнут уровень триггера (защёлки) в приёмном буфере FIFO (UOFCRO = 1)	Чтение UORBR или понижения уровня триггера (защёлки) приёмного буфера FIFO UART0
1100	Вторичный	Индикация тайм-аута символа	Минимум один символ в приёмном буфере FIFO и отсутствие вводимых в него или удаляемых из него символов в течение периода времени, определяемого в зависимости от того, сколько символов находятся в буфере FIFO и какой уровень триггера (защёлки) установлен (от 3,5 до 4,5 периодов длительности символа). Точное время будет равно: [(Длина слова) × 7 - 2] × 8 + [(Уровень триггера - Количество символов) × 8 + 1] × RCLK	Чтение UORBR
10	Третичный	THRE	THRE	Чтение UOIRR (если он – источник прерывания) или запись U0THR

*Значения 0000, 0011, 0101, 0111, 1000, 1001, 1010, 1011, 1101, 1110, 1111 зарезервированы.

Таблица 37. Биты регистра управления буфером FIFO UART0 (UOFCR – 0xE000C008)

UOFCR	Функция	Описание	Значение после сброса
0	Разрешение буфера FIFO	Активный высокий уровень разрешает приёмный и передающий буферы FIFO UART0 с доступом, заданным битами UOFCR[7:1]. Этот бит должен быть установлен для корректного проведения операций UART0. Любое изменение этого бита приведёт к автоматическому сбросу содержимого приёмного и передающего буферов FIFO UART0	0
1	Сброс приёмного буфера FIFO	Запись 1 в бит UOFCR[1] очистит все байты в приёмном буфере FIFO UART0 и сбросит логику указателя. Этот бит сбрасывается сам	0
2	Сброс передающего буфера FIFO	Запись 1 в бит UOFCR[2] очистит все байты в передающем буфере FIFO UART0 и сбросит логику указателя. Этот бит сбрасывается сам	0
5:3	Зарезервированы	Данные биты зарезервированы. Пользовательское программное обеспечение не должно производить запись в зарезервированные биты. Чтение зарезервированного бита возвращает неопределённое значение	NA
7:6	Выбор уровня триггера (защелки) приёмного буфера FIFO	00: уровень триггера 0 (по умолчанию 1 символ или 0x01h)	0
		01: уровень триггера 1 (по умолчанию 4 символа или 0x04h)	
		10: уровень триггера 2 (по умолчанию 8 символов или 0x08h)	
		11: уровень триггера 3 (по умолчанию 14 символов или 0x0Eh)	
		Эти два бита определяют, сколько символов будет записано в приёмный буфер FIFO UART0, прежде чем будет активизировано прерывание. Один из четырёх уровней триггера может быть выбран пользователем, чтобы настроить приёмный буфер FIFO UART0 для обмена с конкретным внешним устройством	

Таблица 38. Регистр управления линией UART0 (UOLCR – 0xE000C00C)

UOLCR	Функция	Описание	Значение после сброса
1:0	Выбор длины слова (символа)	00: Длина символа – 5 битов	0
		01: Длина символа – 6 битов	
		10: Длина символа – 7 битов	
		11: Длина символа – 8 битов	
2	Выбор стопового бита	0: 1 стоповый бит 1: 2 стоповых бита (1,5, если UOLCR [1:0] = 00)	0
3	Разрешение контроля чётности	0: Отключение генерации контроля чётности и его проверки 1: Разрешение генерации контроля чётности и его проверки	0
5:4	Выбор контроля чётности	00: Проверка на нечётность	0
		01: Проверка на чётность	
		10: Устанавливается «1» в бите чётности 11: Устанавливается «0» в бите чётности	
6	Контроль останова	0: Запретить передачу останова 1: Разрешить передачу останова	0
		Вывод UART0 TxD сбрасывается в логический 0, когда бит UOLCR[6] имеет активный высокий уровень	
7	Бит доступа к значению делителя	0: Запретить доступ к значению делителя 1: Разрешить доступ к значению делителя	0

Таблица 39. Биты регистра состояния линии UART0 (UOLSR – 0xE000C014, доступен только для чтения)

UOLSR	Функция	Описание	Значение после сброса
0	Данные приёмника готовы (RDR)	0: UORBR пуст	0
		1: UORBR содержит достоверные данные	
		Бит UOLSR[0] устанавливается, когда UORBR содержит непрочитанный символ, и сбрасывается, когда приёмный буфер FIFO UART0 пуст	
1	Ошибка переполнения (OE)	0: Состояние ошибки переполнения неактивно 1: Состояние ошибки переполнения активно	0
		Состояние ошибки переполнения устанавливается, как только происходит переполнение. Чтение регистра UOLSR сбрасывает бит UOLSR[1]. Бит UOLSR[1] устанавливается, когда в приёмник UORSR UART0 поступил новый символ, а приёмный буфер FIFO UORBR UART0 полон. В этом случае в приёмный буфер FIFO UORBR UART0 не будет записан новый символ поверх старых, и поступивший в приёмник UORSR новый символ будет потерян	
2	Ошибка чётности (PE)	0: Состояние ошибки чётности неактивно 1: Состояние ошибки чётности активно	0
		Когда бит чётности полученного символа находится в неправильном состоянии, происходит ошибка чётности. Чтение регистра UOLSR сбрасывает бит UOLSR[2]. Время обнаружения ошибки чётности зависит от бита UOFCR[0]. Ошибка чётности связана с символом, читаемым из приёмного буфера FIFO UORBR UART0	
3	Ошибка кадровой синхронизации (FE)	0: Состояние ошибки кадровой синхронизации неактивно 1: Состояние ошибки кадровой синхронизации активно	0
		Когда стоповый бит полученного символа находится в лог. 0, происходит ошибка кадровой синхронизации. Чтение регистра UOLSR сбрасывает бит UOLSR[3]. Время обнаружения ошибки кадровой синхронизации зависит от бита UOFCR[0]. Ошибка кадровой синхронизации связана с символом, читаемым из приёмного буфера FIFO UORBR UART0. После обнаружения ошибки кадровой синхронизации линия Rx будет пытаться повторно синхронизировать данные, и логика UART0 предположит, что плохой стоповый бит является фактически стартовым битом. Однако при этом не может быть гарантировано, что следующий принятый байт будет корректен, даже если нет ошибки кадровой синхронизации	
4	Прерывание от останова (BI)	0: Состояние прерывания от останова неактивно 1: Состояние прерывания от останова активно	0
		Когда линия RxD0 переводится в состояние наличия данных (постоянный уровень 0) для передачи полной последовательности символа (старт, данные, чётность, стоп), происходит прерывание от останова. Как только состояние останова обнаруживается, приёмник переводит линию RxD0 в состояние маркировки (постоянный уровень 1). Чтение регистра UOLSR сбрасывает этот бит состояния. Время обнаружения останова зависит от бита UOFCR[0]. Прерывание от останова связано с символом, читаемым из приёмного буфера FIFO UORBR UART0	
5	Буфер (холдинг) передатчика пуст (THRE)	0: UOTHR содержит достоверные данные 1: UOTHR пуст	1
		Бит THRE устанавливается немедленно после обнаружения пустого регистра UOTHR UART0 и сбрасывается при записи в UOTHR	
6	Передатчик пуст (TEMT)	0: UOTHR и/или UOTSR содержит достоверные данные 1: UOTHR и UOTSR пусты	1
		Бит TEMT устанавливается, когда регистры UOTHR и UOTSR пусты. Бит TEMT сбрасывается, когда любой из регистров UOTSR или UOTHR содержит достоверные данные	
7	Ошибка приёмного буфера FIFO (RXFE)	0: UORBR не содержит символов с ошибками приёма через UART0 или бит UOFCR[0] = 0 1: UART0 UORBR содержит символ с не менее чем одной ошибкой приёма через UART0	0
		Бит UOLSR[7] устанавливается, когда символ с ошибкой приёма типа ошибки кадровой синхронизации, ошибки чётности или прерыванием от останова помещается в регистр UORBR. Этот бит сбрасывается, когда регистр UOLSR читается и нет никаких последующих ошибок в FIFO UART0	

буфере FIFO UART0. Байт будет передан через UART0, когда он достигнет основания передающего буфера FIFO и когда передатчик станет доступен (свободен). Чтобы обратиться к регистру U0THR, бит доступа к значению делителя (DLAB) в регистре U0LCR должен быть сброшен. После сброса значение U0THR неопределённое. Регистр U0THR доступен только для записи.

Регистры, содержащие МЗР делителя UART0 (U0DLL – 0xE000C000, когда DLAB = 1) и СЗР делителя UART0 (U0DLM – 0xE000C004, когда DLAB = 1). Делитель UART0 представляет собой часть встроенного генератора скорости обмена через UART0 и содержит значение, на которое делится частота VPB (pclk) для того, чтобы в результате получить значение, большее требуемой скорости обмена в 16 раз. Восьмиразрядные регистры U0DLL и U0DLM совместно представляют собой 16-разрядный делитель, в котором U0DLL содержит младшие 8 разрядов, а U0DLM – старшие 8 разрядов. Регистры, содержащие МЗР и СЗР делителя, определяют скорость обмена через UART0. Значение делителя 0000h обрабатывается логикой UART0 как значение 0001h, поскольку деление на нуль не допускается. Чтобы обратиться к регистрам, содержащим делитель UART0, бит доступа к значению делителя (DLAB) в регистре U0LCR должен быть установлен. Значения после сброса – 0x01 и 0 соответственно.

Регистр разрешения прерываний UART0 (UOIER – 0xE000C004 когда DLAB = 0). Регистр UOIER используется, чтобы разрешать прерывания от четырёх источников UART0. Битовая структура регистра UOIER показана в табл. 34.

Регистр идентификации прерывания UART0 (U0IIR – 0xE000C008, доступен только для чтения). Регистр U0IIR содержит код текущего состояния, который отображает приоритет и источник отложенного прерывания. Во время осуществления доступа к регистру U0IIR его содержимое не меняется. Если прерывание происходит во время доступа к U0IIR, то отображение состояния этого прерывания будет производиться при следующем доступе к U0IIR. Прерывания обрабатываются как описано в табл. 35. С учётом состояния битов U0IIR[3:0] подпрограмма обработки прерывания может определить причину прерывания и способ сброса активного прерывания. Регистр U0IIR должен быть прочитан до окончания выполнения подпрограммы обработки прерывания, чтобы сбросить прерывание. Обработка прерываний иллюстрируется в табл. 36.

Регистр управления буфером FIFO UART0 (U0FCR – 0xE000C008). Битовая структура регистра U0FCR показана в табл. 37.

Регистр управления линией UART0 (U0LCR – 0xE000C00C). Регистр U0LCR определяет формат символов данных, который должен быть передан или получен через UART0. Битовая структура регистра U0LCR показана в табл. 38.

Регистр состояния линии UART0 (U0LSR – 0xE000C014, доступен только для чтения). Регистр U0LSR, доступный только для чтения, содержит информацию о состоянии принимаемых и передаваемых через UART0 блоков данных. Битовая структура регистра U0LSR показана в табл. 39.

Рабочий регистр клавиатуры UART0 (U0SCR – 0xE000C01C). Регистр

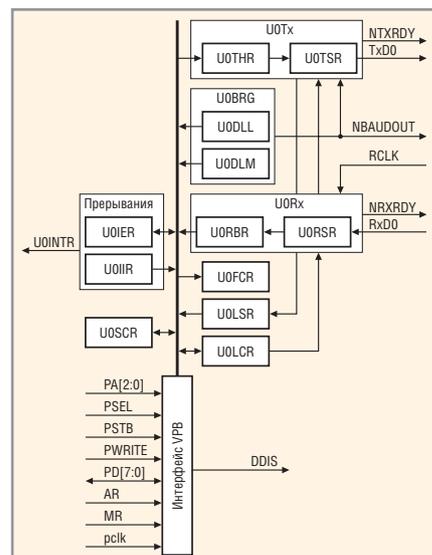


Рис. 14. Архитектура модуля UART0

U0SCR не оказывает никакого эффекта на операции UART0. Этот регистр может быть записан и/или прочитан по усмотрению пользователя. Архитектура модуля UART0 показана на блок-схеме, приведённой на рис. 14. Интерфейс VPB обеспечивает линию связи между центральным процессором и UART0.

УНИВЕРСАЛЬНЫЙ АСИНХРОННЫЙ ПРИЁМОПЕРЕДАТЧИК UART1

Универсальный асинхронный приёмопередатчик МК семейства LPC2000 UART1 идентичен UART0, но имеет добавочный модемный интерфейс. UART1 обслуживается выводами МК, перечисленными в табл. 40, и управляется регистрами, перечисленными в табл. 41. Архитектура модуля UART1 показана на блок-схеме, приведённой на рис. 15. Более подробную информацию об операциях UART1 можно получить в книге [1].

Таблица 40. Описание выводов UART1

Имя вывода	Тип	Описание
RxD1	I	Последовательный вход. Последовательно принимает данные
TxD1	O	Последовательный выход. Последовательно передаёт данные
CTS1	I	Посылка сброса. Активный низкий уровень сигнала указывает, готов ли внешний модем принять данные, передаваемые через TxD1 от UART1. При нормальной операции модемного интерфейса (U1MCR4 = 0) дополнительное значение этого сигнала сохраняется в бите U1MSR4. Информация об изменённом состоянии сохраняется в U1MSR0, а для источников прерывания приоритетного уровня 4 сохраняется, если они разрешены (U1IER3 = 1)
DCD1	I	Обнаружение несущей данных. Активный низкий уровень сигнала указывает, установил ли внешний модем связь с UART1 и может ли обмениваться данными. При нормальной операции модемного интерфейса (U1MCR4 = 0) дополнительное значение этого сигнала сохраняется в бите U1MSR7. Информация об изменённом состоянии сохраняется в бите U1MSR3, а для источников прерывания приоритетного уровня 4 сохраняется, если они разрешены (U1IER3 = 1)
DSR1	I	Готовность установки данных. Активный низкий уровень сигнала указывает, готов ли внешний модем установить связь с UART1. При нормальной операции модемного интерфейса (U1MCR4 = 0) дополнительное значение этого сигнала сохраняется в бите U1MSR5. Информация об изменённом состоянии сохраняется в бите U1MSR1, а для источников прерывания приоритетного уровня 4 сохраняется, если они разрешены (U1IER3 = 1)
DTR1	O	Готовность терминала данных. Активный низкий уровень сигнала указывает, что UART1 готов установить связь с внешним модемом. Дополнительное значение этого сигнала сохраняется в U1MCR0
RI1	I	Индикатор вызова. Активный низкий уровень сигнала указывает, что телефонный сигнал вызова был обнаружен модемом. При нормальной операции модемного интерфейса (U1MCR4 = 0) дополнительное значение этого сигнала сохраняется в U1MSR6. Информация об изменённом состоянии сохраняется в бите U1MSR2, а для источников прерывания приоритетного уровня 4 сохраняется, если они разрешены (U1IER3 = 1)
RTS1	O	Посылка запроса. Активный низкий уровень сигнала указывает, что UART1 хотел бы передать данные во внешний модем. Дополнительное значение этого сигнала сохраняется в U1MCR1

та, кроме последнего байта. После приёма последнего переданного байта ведущий возвращает бит «не-подтверждение» (NOT ACK).

Для всех типов обмена ведущий всегда генерирует тактовые импульсы последовательной синхронизации на линии SCL и условия START и STOP на линии SDA. Передача заканчивается генерацией условия STOP или повторного условия START. Так как повторный START является одновременно началом следующей последовательной передачи, шина при этом не «отпускается» ведущим. Временные диаграммы, иллюстрирующие передачу данных по шине I²C, приведены на рис. 17. Последовательный синхросигнал на линии SCL всегда генерируется ведущим. Сигналы данных на линии SDA могут генерироваться как ведущим, так и ведомым.

МК семейства LPC2000 имеют байт-ориентированный интерфейс I²C, т.е. все операции I²C аппаратно реализованы на уровне байтов. Устройства LPC2000 имеют четыре операционных режима I²C: режим ведущего передатчика, режим ведущего приёмника, режим ведомого передатчика и режим ведомого приёмника. Для получения более подробных сведений рекомендуется обратиться к [7].

ЛИТЕРАТУРА

1. Редькин П.П. Микроконтроллеры ARM7. Семейство LPC2000 компании Philips: полное руководство пользователя. М.: Додэка-XXI. 2006 (готовится к выпуску).
2. LPC2119/2129/2194/2292/2294 USER MANUAL. Feb. 2004. Philips Semiconductors (www.LPC2000.com).
3. ARM 7TDMI Data Sheet. Document Number: ARM DDI 0029E. Issued: August 1995. Copyright Advanced RISC Machines Ltd. (ARM) 1995 (www.arm.com).
4. ARM7TDMI-S Technical Reference Manual (Rev 4) Copyright © ARM Limited. ARM DDI 0234A (www.arm.com).
5. ARM Instruction Set. Quick Reference Card (www.arm.com).
6. Thumb Instruction Set. Quick Reference Card (www.arm.com).
7. 80C51 Family Derivatives 8XC552/562 Overview. Philips Semiconductors, 1996 Aug 06, (www.semiconductors.philips.com/acrobat/various/8XC552_562OVERVIEW_2.pdf). ©

Продолжение следует

Новости мира News of the World

Fairchild выпустил самый компактный р-канальный MOSFET

Компания Fairchild Semiconductor выпустила МОП-транзистор FDZ191P, который, по словам представителей компании, является самым компактным р-канальным МОП-транзистором. По термическим и электрическим характеристикам он пригоден для преобразования электроэнергии, зарядки и управления электрической нагрузкой в низковольтной (менее 20 В) переносной электронике. Он найдёт применение в сотовых телефонах, цифровых камерах, MP3-плеерах, медицинских приборах и других переносных изделиях.

Новое устройство превосходит большинство силовых МОП-транзисторов для низковольтных систем. FDZ191P выпускается в корпусе WL-CSP, обеспечивающем тепловое сопротивление 83°C/Вт и низкое сопротивление в открытом состоянии (67 мОм при 4,5 В).

Размеры корпуса составляют 1 × 1,5 × 0,65 мм. Благодаря этому FDZ191P занимает на 30% меньше места на плате, чем аналоги. Небольшая высота (0,65 мм) поможет уменьшить толщину готового изделия. Минимальное напряжение составляет 1,5 В, что очень важно для систем энергораспределения.

Новый транзистор соответствует всем «зелёным» стандартам, а также RoHS. Кроме того, он удовлетворяет требованиям IPC/JEDEC стандарта J-STD-020C или превосходит их.

www.e7e.ru

Одновольтный ОУ от National Semiconductor

Корпорация National Semiconductor расширила ряд своих низковольтных маломощных ОУ, выпустив модель LMV951. Новый усилитель работает при напряжении 1 В, обеспечивает выходной сигнал с размахом, равным напряжению питания, и поддерживает работу на более высоких частотах, чем все остальные серийные усилители. Широкий диапазон частот и низкое энергопотребление делают его очень удобным для использования в сотовых телефонах, переносных медицинских и измерительных приборах, а также в другой мобильной электронике.

Согласно пресс-релизу, LMV951 является единственным 1-В ОУ, который работает с частотами до 2,7 МГц и

обеспечивает стабильность при работе с емкостной нагрузкой 500 пФ. Он также отличается низким уровнем шума (25 нВ/Гц^{1/2}) в температурном диапазоне –40...+125°C. Коэффициент ослабления синфазного сигнала (CMRR) и коэффициент подавления пульсаций по напряжению (PSRR) составляют по 80 дБ. Благодаря перечисленным характеристикам усилитель пригоден для применения в системах, требующих высокого усиления и производительности.

ОУ LMV951 работает при напряжении питания от 1 до 3 В. На выходе установлен буфер, делающий усилитель независимым от омических нагрузок, что повышает линейность усиления и сокращает смещение.

www.e7e.ru

Крошечные дельта-сигма-АЦП

Корпорация Linear Technology выпустила четырёхканальный дельта-сигма-АЦП LTC2492, который имеет встроенный температурный датчик и отличается нестандартной конструкцией. Архитектура Easy Drive ведёт к нулевому среднему току на дифференциальном входе. Это позволяет измерять параметры источников питания с высоким значением импеданса без использования внутреннего буфера. Эта запатентованная технология упрощает конструкцию схем предварительной обработки сигнала и позволяет управлять преобразователем напрямую посредством шунта, термопар и датчиков с высоким полным сопротивлением. Входные сигналы могут быть легко оцифрованы с максимальной интегральной нелинейностью 2 ppm.

LTC2492 включает в себя высокоточный температурный датчик с разрешением 1/30°C и абсолютной точностью 2°C. АЦП преобразует сигнал датчика или входного мультиплексора, который может быть настроен на четыре несимметричных канала, два дифференциальных или один несимметричный и один дифференциальный.

Кроме LTC2492 Linear Technology также выпускает 16-разрядный АЦП LTC2488, совместимый по конфигурации выводов. Обе модели производятся в корпусе DFN-14 (4 × 3 мм) и рассчитаны как на коммерческий, так и на промышленный диапазоны температур.

www.e7e.ru