ПЛИС серии CYCLONE с встроенными аппаратными трансиверами

Владимир Вычужанин (Одесса, Украина)

В специализированной литературе трансивером называют универсальное устройство, объединяющее передатчик (transmitter) и приёмник (receiver) сигналов. В настоящее время многие фирмы разрабатывают трансиверы и достигают при этом определённых положительных результатов. В статье описан соответствующий опыт фирмы Altera.

Следует отметить, что ещё в 2005 г. фирма Altera предложила FPGA Stratix II GX с поддержкой интерфейса Serdes Framer Level 5 (SFI-5), встроенными трансиверами и быстрыми (40...50 Гбит/с) интерфейсами. По терминологии, принятой Altera, к GX-версиям относятся ИС со встроенными аппаратными высокоскоростными трансиверами. Микросхемы ПЛИС Stratix II GX имеют до 20 быстрых последовательных каналов приёма-передачи, могут работать на скоростях от 600 Мбит/с до 6,375 Гбит/с. Микросхемы удовлетворяют требованиям спецификации SFI-5 и поддерживают последовательные протоколы обмена данными, включая SerialLite II, XAUI, SONET/SDH, Gigabit Ethernet, Fibre Channel, Serial RapidIO, PCI Express, SMPTE 292M и SFI-5.

Спецификация SFI-5 разработана группой Optical Internetworking Forum (OIF) для организации интерфейса между сетевыми и оптическими приёмопередающими устройствами в широкополосных системах. Стандарт SFI-5 соответствует сетевым форматам передачи данных OC-768, STM256 и OTN OTU-3. Для ПЛИС Stratix II GX характерны устойчивость к воздействию помех, высокая фазовая и частотная стабильность передаваемого сигнала. ПЛИС Stratix II GX рекомендованы для использования в оптоволоконных системах связи.

Развивая успех серии Cyclone, фирма Altera в конце 2009 г. объявила о выпуске ПЛИС Cyclone IV GX, имеющей встроенные высокоскоростные трансиверы и аппаратный блок PCI Express (PCIe). На базе этого блока реализуются устройства PCI Express ×1, ×2, ×4 в конфигурациях rootpoint и endpoint.

В семейство ПЛИС Cyclone IV GX входит семь микросхем (см. таблицу 1). Микросхемы Cyclone IV GX имеют значительный объём памяти и обладают DSP-возможностями. Если сравнивать ПЛИС Cyclone IV GX с близкими им по характеристикам ПЛИС Stratix II GX, то можно отметить, что новая разработка выигрывает по количеству трансиверов, а также имеет более высокую плотность логических элементов и умножителей.

Таблица 1. Основные характеристики ПЛИС Cyclone IV GX

Свойства	EP4CGX15	EP4CGX22	EP4CGX30	EP4CGX50	EP4CGX75	EP4CGX110	EP4CGX150
Количество логических элементов (LE)	14 400	21 280	29 440	48 888	73 920	109 424	149 760
Количество блоков памяти	60	84	120	278	462	610	720
Объём встроенного ОЗУ (Кбит)	540	756	1080	2502	4158	5490	6480
Количество встроенных умножителей 18 × 18	0	40	80	140	198	280	360
Количество встроенных трансиверов	2	4	4	8	8	8	8
Количество блоков ФАПЧ	3	4	4	8	8	8	8
Количество пользовательских линий ввода-вывода	72	150	290	310	310	475	475
Количество дифференциальных каналов	25	64	64	140	140	216	216

Все ПЛИС семейства Cyclone IV GX производятся по оптимизированной технологии 60 нм. Микросхемы размещаются в корпусах QFN и FineLineBGA. Например, «младшая» микросхема Cyclone IV GX EP4CGX15 имеет корпус QFN148, что позволяет применять её в бюджетных проектах. Микросхемы семейства Cyclone IV включают от 15 тыс. до 150 тыс. логических элементов (LE), встроенную память 6,5 Мбит, до 360 умножителей и до восьми трансиверов с пропускной способностью 3,125 Гбит/с.

Достоинством ПЛИС Cyclone IV GX является то, что они нуждаются всего в двух источниках питания, в отличие от четырёх для ПЛИС Cyclone III. Для них не требуется теплоотвод, что упрощает дизайн печатной платы и уменьшает стоимость монтажа. Встроенные блоки MAC (Message Authentication Code) обладают существенно меньшей мощностью, необходимой для порта PCIe. В ПЛИС Cyclone IV GX обеспечивается снижение энергопотребления на 25% по сравнению с микросхемами семейства Cyclone III. Они обладают наименьшими габаритами (размеры корпуса 11 × 11мм) по сравнению с другими ПЛИС, оснащёнными встроенными аппаратными трансиверами.

Поддержка проектирования для ПЛИС Cyclone IV GX обеспечивается программным пакетом Quartus II Design Software Version 9.1 Service Pack 1.

На рисунке 1 приведена блок-схема включения ПЛИС Cyclone IV GX EP4CGX15. Она содержит две ПЛИС MAX II CPLD, микросхемы памяти SSRAM и Flash, переключатели Push-button Switches, JTAG (Joint Test Action Group) – интерфейс для периферийного сканирования ПЛИС, генератор тактовых импульсов SMA, порт USB.

При настройке трансивера используются следующие способы конфигурации устройства. Встроенный USB-

© СТА-ПРЕСС

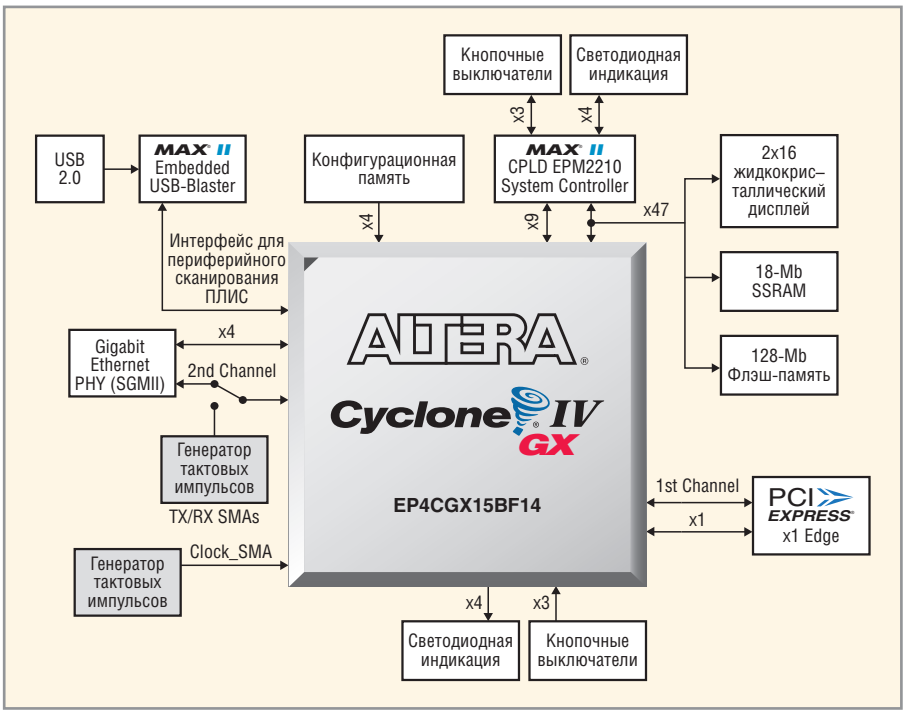

Рис. 1. Блок-схема ПЛИС Cyclone IV GX

Blaster применяется по умолчанию для настройки опера тором FPG A-трансивера в режиме JT AG в среде Quartus II. Флэш-память используется для хранения изображений, используемых системным контроллером на MAX II CPLD EPM2210 для настройки Cy clone IV G X. Встроенный USB-Blaster автоматически отключается, когда внешний USB-Blaster подключён к сети JTAG. Динамическая реконфигурация трансивера с целью поддержки нескольких протоколов и скорости передачи данных осуществляется на одном и том же канале, без перепрограммирования.

На рисунке 2 представлен общий вид платы с установленной ПЛИС. Конфигурирование с помощью встроенного USB-Blaster (см. рис. 2) реализуется с помощью разъёма USB T ype B (J5) и разъёма MAX II CPLD EPM240M100 (U4). Это позволяет осуществить конфигурирование ПЛИС Cy clone IV G X напрямую, соединив порт USB (J5) и порт USB на ПК в среде программного обеспечения Quartus II. Для конфигурирования трансивера также используется внешний порт USB-Blaster. Серийная конфигурация используется для хранения конфигурационных данных FPGA-устройства и поддерживается активной последова тельной конфигурацией и перезагрузкой данных FPGA по питанию или реконфигурации. ПЛИС Cyclone IV GX конфигурируется с помощью сети JT AG, прежде всего, с использованием MAX II в качестве основного регулятора

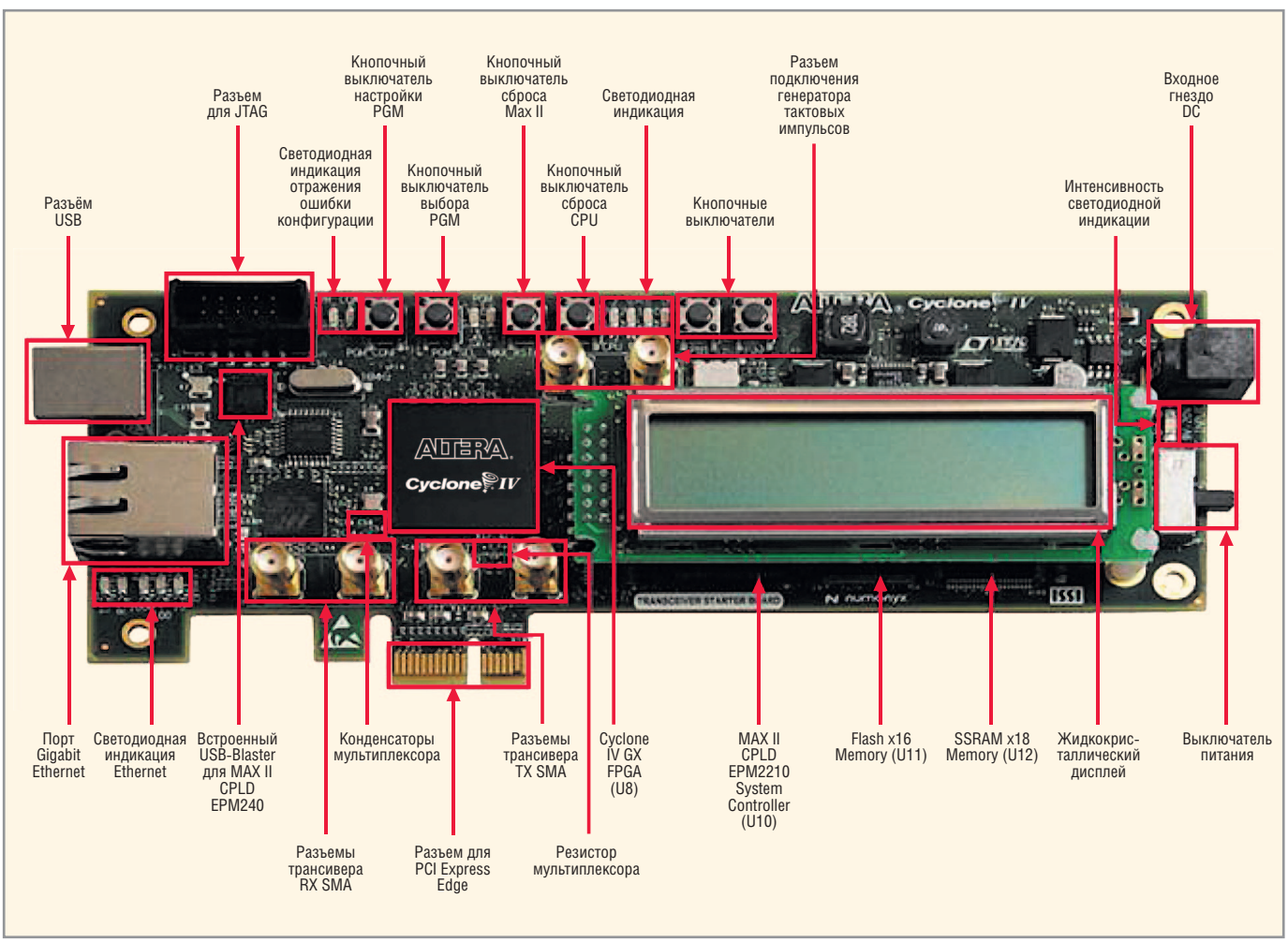

Рис. 2. Общий вид устройства на ПЛИС Cyclone IV GX

© СТА-ПРЕСС

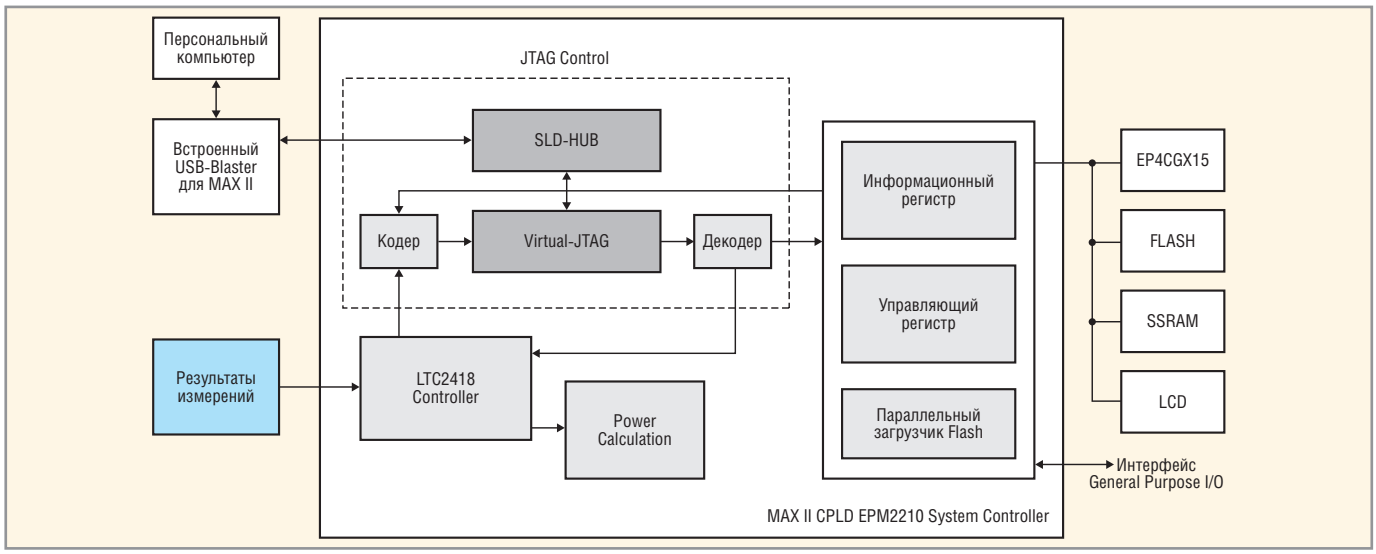

Рис. 3. Блок-схема системного контроллера на ПЛИС MAX II CPLD EPM2210

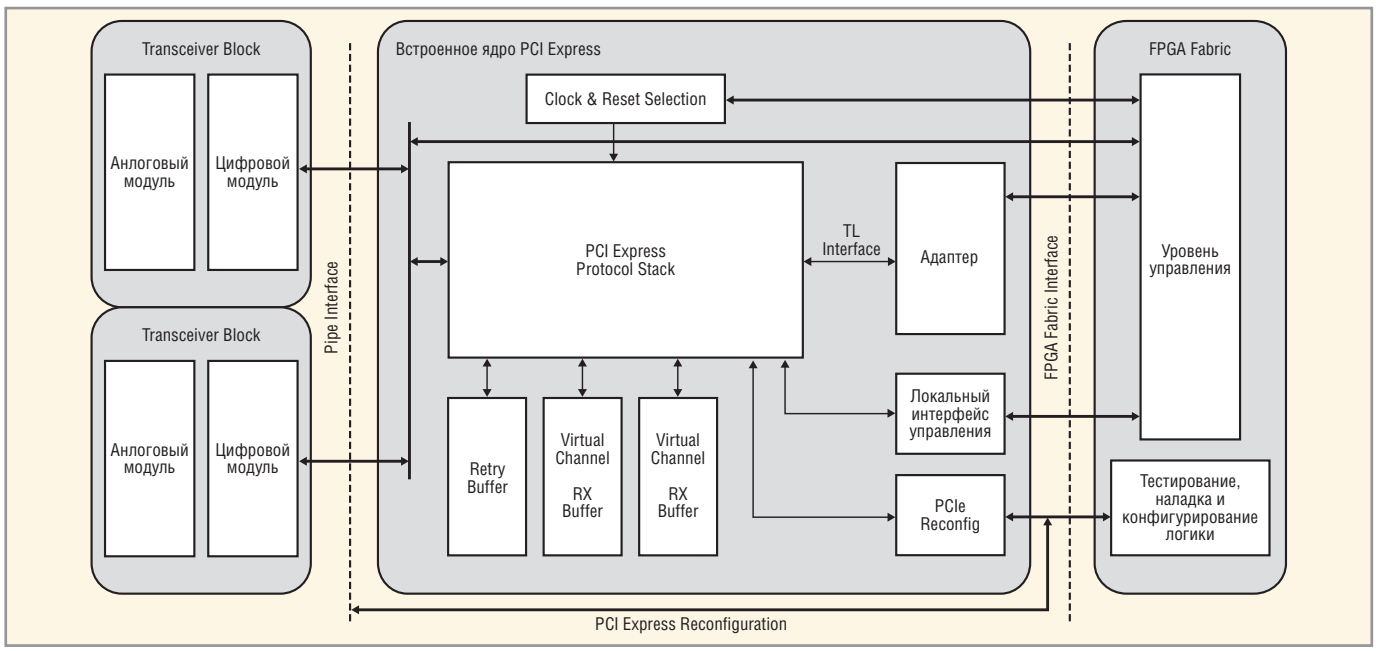

Рис. 4. Блок-схема PCI Express с встроенным IP-ядром

конфигурации. Это – системный контроллер на MAX II CPLD EPM2210, обладающий логикой управления для определения конфигурации.

Приведённый на рисунках 1 и 2 системный контроллер на базе MAX II CPLD EPM2210 Altera используется для конфигурации ПЛИ C Cyclone IV GX из флэш-памяти, организации виртуального JTAG-интерфейса для ПК-интерфейса, контроля временных регистров и контроля регистров

© СТА-ПРЕСС

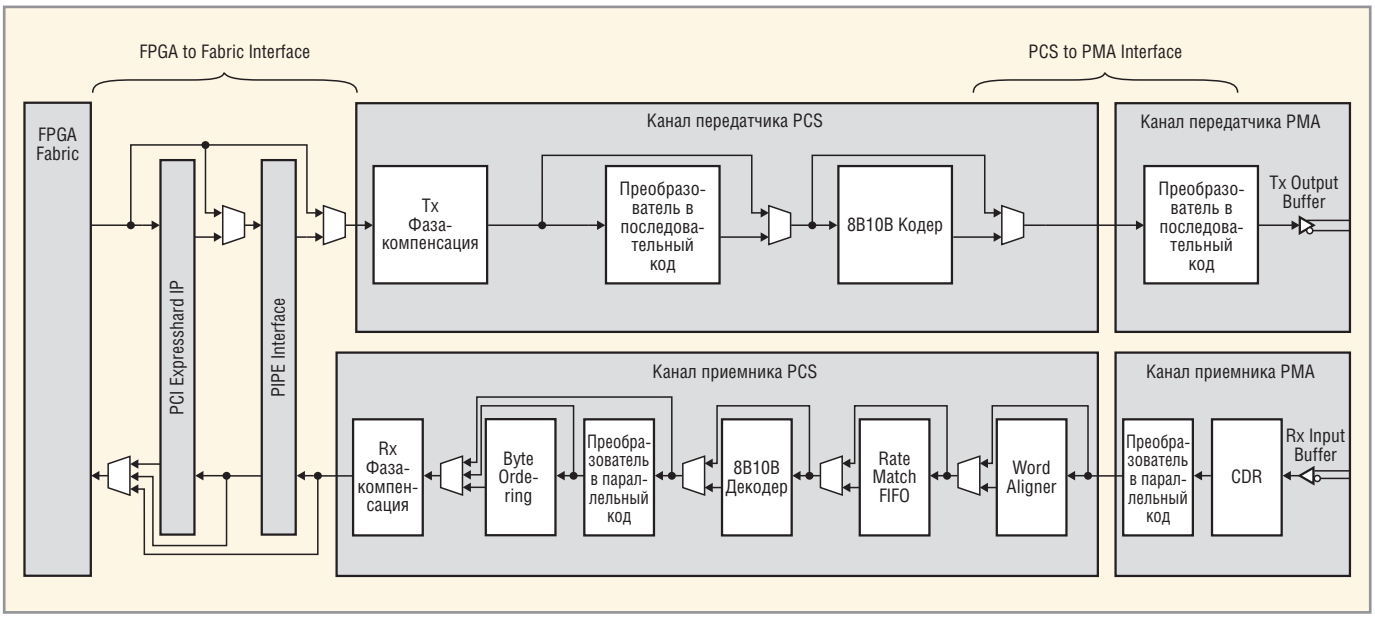

Рис. 5. Структурная схема модулей ввода-вывода для трансивера Cyclone IV GX

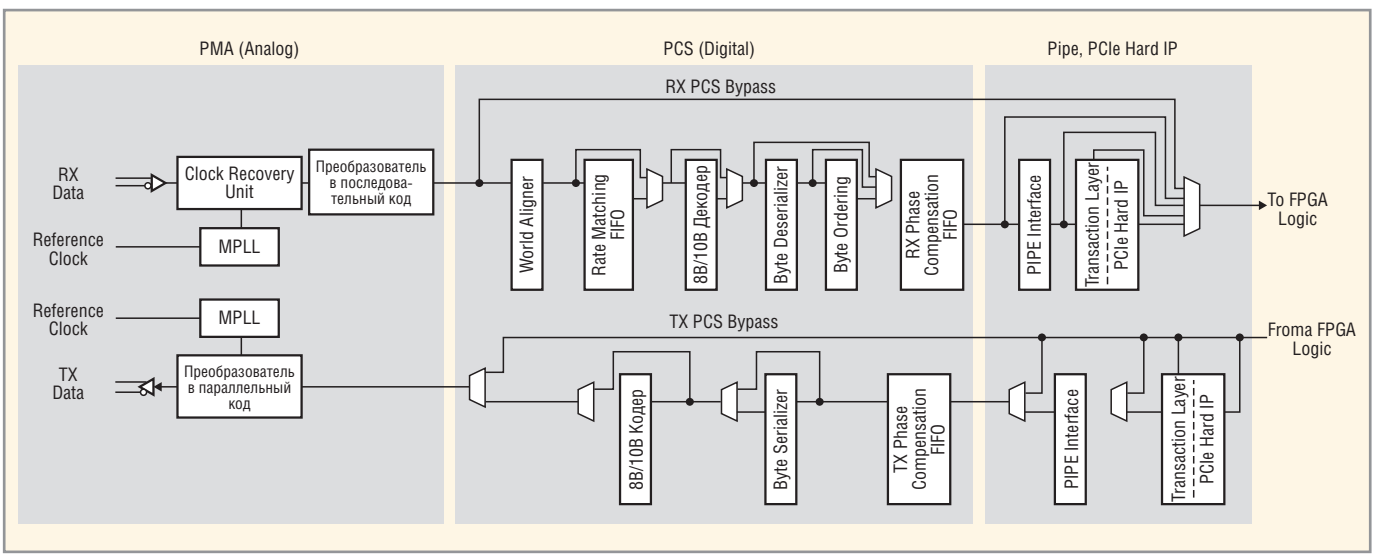

Рис. 6. Блок-схема подсоединения Cyclone IV GX к PMA и PCS

при дистанционном обновлении системы. Блок-схема системного контроллера на ПЛИС MAX II CPLD EPM2210 с цепями внешних связей показана на рисунке 3. Системный контроллер содержит PFL (параллельный загрузчик флэш-памяти), набор регистров, кодер и декодер и т.д.

Таблица 2. Протоколы, поддерживаемые ПЛИС Cyclone IV GX

Протокол	EP4GX30 и младше (Гбит/с)	EP4GX50 и старше (Гбит/с)
Basic	Ддо 2,5	До 3,125
PCI Express Gen1	2,5	2,5
Gigabit Ethernet	1,25	1,25
SDI SD/HD	–	0,27…1,488
3G-SDI	–	2,97
Serial RapidIO®	–	1,25…2,5, 3,125
10G Ethernet (XAUI)	–	3,125
CPRI	–	0,6144…1,2288, 2,45…3,072
OBSAI	–	0,75…1,536, 3,072
Serial ATA (SATA) Gen1, Gen2	–	1,5; 3,0
3G Basic	–	до 3,125
DisplayPort	1,62	2,7
V-by-One	–	3,0

Новая ПЛИС располагает встроенным IP-ядром для шины PCIe. На рисунке 4 приведена блок-схема аппаратной реализации PCI Express Hard IP, содержащая модули аналоговой PMA (Physical Medium Attachment) и цифровой PCS (Physical Coding Sublayer) составляющих схемы трансивера, а также управления LMI (Local Management Interface). IP-ядро поддерживает 1, 2 или 4 полосы передачи данных с максимумом полезной нагрузки 256 байт. Применяется 64-битный интерфейс с шириной полосы передачи данных 16 бит на канал и частотой до 125 МГц.

Высокоскоростные трансиверы ПЛИС Cyclone IV GX способны функционировать независимо друг

© СТА-ПРЕСС

от друга. Архитектура Cyclone IV GX обеспечивает поддержку нескольких протоколов и реконфигурацию схем при их эксплуатации. Поддерживается базовый режим, который можно использовать для реализации собственных протоколов. Встроенные в ПЛИС трансиверы реализуют основные последовательные протоколы (см. таблицу 2), включая Gigabit Ethernet (GbE), SDI, CPRI, V-by-One и аппаратный IP-core для шины PCIe.

В целях оптимизации сигнала и снижения уровня ошибок при его передаче схема трансивера в ПЛИС задаётся во время компиляции. Блоки трансивера поддерживают динамическое изменение конфигурации, что позволяет изменять скорость передачи данных и протоколы «на лету». На рисунке 5 показана структурная схема модулей ввода-вывода данных для трансивера Cyclone IV GX. Каждый трансивер содержит передатчик (Tx) и приёмник (Rx) DataPath (см. рис. 5). Исходящие, параллельно передаваемые данные проходят через Tx, Tx PCS и PMA. Поступающие, последовательно передаваемые данные проходят через PMA, Rx и Rx PCS в структуру ПЛИС. Модуль PCS обеспечивает реализацию жёсткой функциональной логики, совместимой с поддерживаемыми протоколами.

Модуль PMA включает в себя аналоговые микросхемы для буферов ввода-вывода, параллельно-последовательный и последовательно-параллельный преобразователи. На рисунке 6 приведена блок-схема подсоединения ПЛИС Cyclone IV GX к модулям PMA и PCS, включающая в себя MPLL (Multi-purpose Phase Locked Loops), Bit Serializer и Bit Deserializer для поразрядного преобразования передачи сигнала из параллельной формы в последовательную и наоборот с использованием цепей ФАПЧ.

Для исследования и тестирования ПЛИС Cyclone IV GX фирма Altera предлагает отладочную плату трансивера Starter Kit. На рисунке 7 показана эта отладочная плата и результаты промежуточного тестирования микросхемы.

Разработанные фирмой Altera ПЛИС Cyclone IV GX с встроенными трансиверами предназначены для удовлетворения потребительского спроса на недорогие трансиверы с высокой пропускной способностью. ПЛИС Cyclone IV GX применимы при внедрении цифрового телевидения и телевидения высокой чёткости, мобильного телевидения с улучшенными аудио-/видео-параметрами и невысокой скоростью передачи данных, при распространении телевизионного сигнала по сети Интернет.

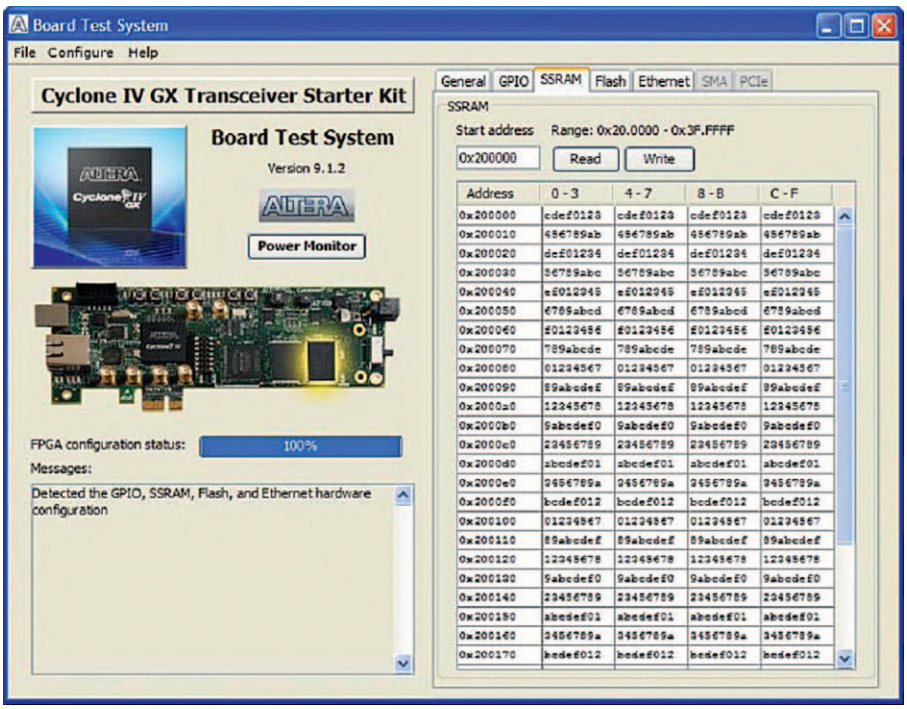

Рис. 7. Отладочная плата Starter Kit для трансивера Cyclone IV GX

Ввиду малых размеров корпуса, микросхемы Cyclone IV GX рекомендуются для приложений, работающих в беспроводной и проводной связи, радио- и телевизионной технике, промышленной и бытовой электронике. ПЛИС нового семейства ориентированы на применение в массовых проектах, где цена комплектующих является определяющим параметром себестоимости. В этом году цена на самые миниатюрные представители семейства EP4CGX15 составляет 6 долл. США в партиях от 250 тыс. шт.

© СТА-ПРЕСС